

高性能算术 SIMD 模块的电路设计

郭 阳, 丁 伟, 李振涛

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘 要: 算术 SIMD 模块是我们自主设计的高性能 DSP 中的关键模块. 基于 0.13 微米工艺, 提出了改进的 SIMD 指令实现算法, 设计实现了算术 SIMD 模块的电路与版图, 根据指令特点, 提出了结果产生的两级选择结构, 采用有限动态电路设计了 SIMD 加法器和比较判零子模块. 用 Nanosim 工具实现了版图后模拟及时序分析的自动化, 版图后延时控制在 750ps 以内, 满足了高性能 DSP 芯片的时序要求.

关键词: DSP; SIMD 加法器; 有限动态电路; 电路设计

中图分类号: TP332

文献标识码: A

文章编号: 1000-7180(2010)09-0029-04

Circuit Design of a High Performance SIMD Arithmetic Module

GUO Yang, DING Wei, LI Zhen-tao

(School of Computer Science and Technology, National University of Defense Technology, Changsha 410073, China)

Abstract: The SIMD Arithmetic module is a critical module in the high performance DSP, which developed by us. This paper presents a new algorithm for SIMD instructions, and designs the circuits and layouts of the SIMD module based on 0.13 μ m CMOS technology. Based on the characteristics of the instructions, two level selection structure for results generation has been put forward, SIMD adder and compare for zero module have been designed with limited dynamic circuits. Simulation and timing verification after layouts are implemented automatically by using Nanosim tool. The delay after layout is under 750ps, which can meet the timing requirements of high performance DSP.

Key words: DSP; SIMD adder; limited dynamic circuits; circuit design

1 引言

数字信号处理器(DSP)在多媒体和图像处理领域得到广泛应用, 这些应用中大量使用了算术 SIMD 指令: 即将多个短操作数打包在一个长操作数里, 通过一条指令控制多个短位宽数据并行执行. SIMD 指令在媒体数据处理中作用巨大^[1], 基于 SIMD 指令的二维 FFT 优化算法, 比最广泛的 FFT 程序包 FFTW 快了 30% 左右^[2]. 因此, DSP 中 SIMD 模块的性能至关重要^[3-4].

本文根据 SIMD 指令的特点, 提出了一种并行的电路结构, 同时根据有限动态电路思想设计了高性能 DSP 的核心部件: SIMD 加法器、比较判零模块. 完成了 SIMD 模块的版图和版图后模拟, 并进行

了投片验证.

2 SIMD 操作及算法

2.1 SIMD 操作

YHFT-DX 是国防科大自主设计的一款高性能 DSP, 它采用八流出超长指令字(VLIW)体系结构, 拥有直接外存通路和高效外部接口. 在 YHFT-DX DSP 中实现的 SIMD 有关的算术指令及操作见表 1. SIMD 算术指令可以分为 4 种类型: 一般加减运算、饱和加法运算、比较是否相等、比较是否大于. 由于操作数为 32 位数, SIMD 指令需对操作数拆分, 执行半字运算或字节运算.

2.2 常用算法

下面以 32 位操作数为例, 介绍常用算法. 在下

收稿日期: 2009-06-30; 修回日期: 2009-08-30

基金项目: 新世纪优秀人才支持计划项目

表 1 SIMD 指令及操作

指令	操作
ADD2	两个 16 位加法运算
SUB2	两个 16 位减法运算
SADD2	两个 16 位饱和加法运算
SADDU4	四个 8 位无符号数饱和加法运算
SADDUS2	两个 16 位无符号数与有符号数加法, 结果为无符号数
CMPGT2	两个 16 位比较大于运算
CMPEQ2	两个 16 位比较相等运算
CMPGTU4	四个 8 位无符号数比较大于运算
CMPEQ4	四个 8 位比较相等运算

文中, A 和 B 是两个 32 位的源操作数, DST 是 32 位的和, Cin 是进位输入, Cout 是进位输出. 16 位数与 8 位数算法进行相应转换即可实现. 在加法运算时源操作数直接送入加法器, 进位输入为 0, $A[31:0] + B[31:0] = \{Cout, DST[31:0]\}$. 减法和比较指令的操作数做减法运算, 源二取反, 进位输入为 1, 即源一加上源二的补码.

$A[31:0] + \overline{B[31:0]} + Cin = \{Cout, DST[31:0]\}$.

(1) 判有符号数加法饱和算法:

如果 $A[31] = B[31]$ 并且 $Cout \neq DST[31]$, 则 A + B 饱和.

(2) 判无符号数加法饱和算法:

如果 $Cout = 1$, 则 A + B 饱和.

(3) 判无符号与有符号数加法饱和算法:

如果 $A[31] \neq B[31] = DST[31]$, 则 A + B 饱和.

(4) 判两数相等算法:

如果 $DST = 0$, 则 $A = B$.

(5) 判数 A 大于数 B 算法:

如果 $A[31] = 0$ 且 $B[31] = 1$, 则 $A > B$; 或 $A[31] = B[31]$ 且 $Cout = 1$ 且 $DST \neq 0$, 则 $A > B$.

(6) 判无符号数 A 大于无符号数 B 算法:

如果 $Cout = 1$ 且 $DST \neq 0$, 则 $A > B$.

2.3 改进算法

从算法可以看出, 除了无符号数饱和加法只用到进位信号, 其他判饱和操作都要用到进位信号和结果最高位; 而常用的判相等和判大于算法都需要等加法器的结果, 再对结果进行判零操作. 考虑到采用的稀疏树(sparse tree)进位选择加法器的结构, 应该把加法器的结果和进位的处理分开, 只用进位信号来产生选择控制信号.

本文从两个方面对算法进行了改进:

(1) 判饱和算法 1、3 因有操作数最高位信息, 如果有次高位进位信息, 就可以得到结果最高位的值进行饱和判断, 从而不需要用到加法器的结果, 把数据流与控制流分开, 使之并行执行, 同时结构更清晰, 有利于以后的晶体管尺寸优化工作.

(2) 判相等算法改为对源操作数的异或结果判零. 这样异或判零操作可与加法操作同时进行, 判大于算法需要的进位信号与判零信号可并行产生.

改进后的算法需要加法器输出最高位和次高位的进位, 次高位的产生需要额外的硬件开销, 同时源操作数的异或也需要一定的硬件开销. 这也是芯片设计中常用的空间换取时间的策略. 改进后的算法结构如图 1 的(a)、(b)所示.

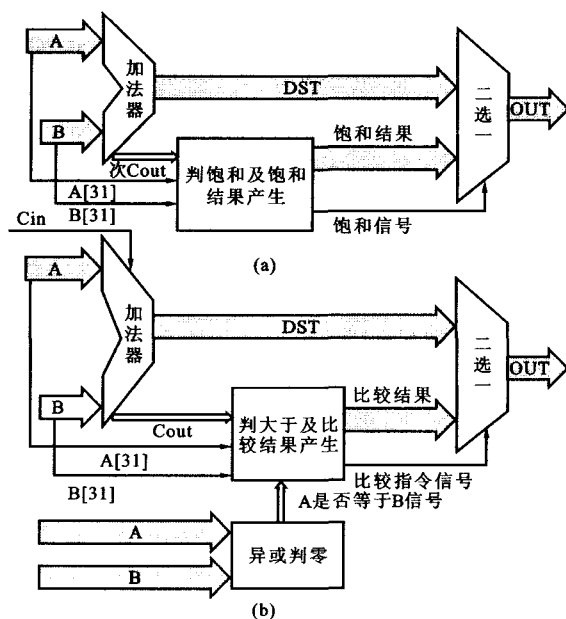


图 1 判饱和及判比较改进算法的结构

3 整体结构与结果产生电路

图 2 是 SIMD 模块整体结构图. 因为比较指令只影响结果的低四位, 其他结果位为零, 可看作特殊的饱和结果. 采用改进算法后, 加法器结果不再用于饱和结果的产生, 所以整体上采用先产生饱和结果, 再与加法器结果进行选择的结构.

饱和结果产生需要的饱和信息, 由各指令信号、进位信号和操作数高位信息通过逻辑组合得到. 图 3 以 SADDUS2 为例对此进行了说明.

因各指令的饱和值不同, 将各指令的饱和信号组合以产生某位的饱和和置 1 信号、饱和置 0 信号, 同时产生后一级与加法器结果选择的控制信号. 图 4 是结果产生的两级选择结构.

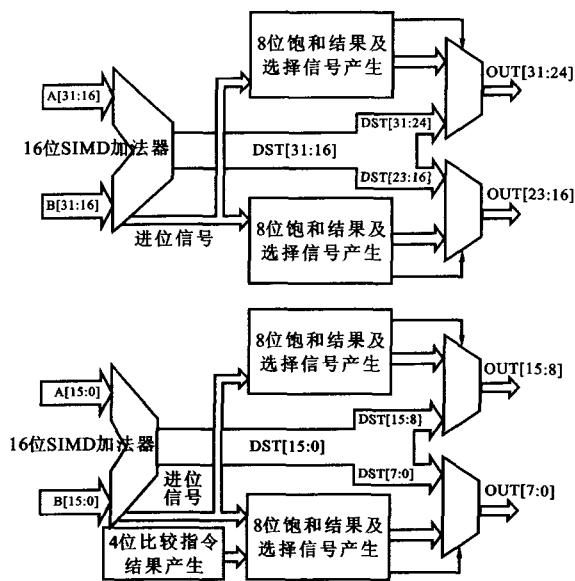


图2 SIMD 模块整体结构图

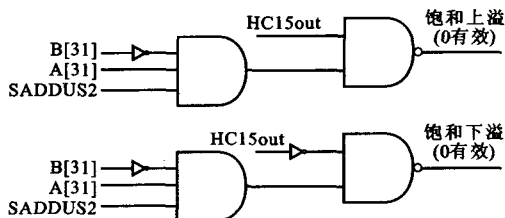


图3 SADDUS2 饱和信号产生

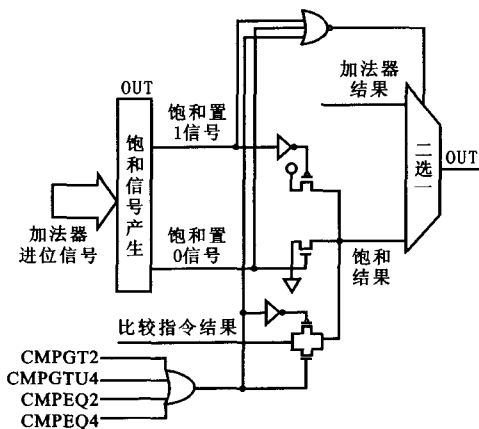


图4 结果两级选择电路

在此两级选择结构中,前一级选择产生饱和结果.为了控制信号的负载,使用了单传输管:NMOS管传0,PMOS管传1.当指令产生饱和结果时第二级的选择信号置0,选择饱和结果输出;指令不产生饱和结果时第二级的选择信号置1,选择加法器结果输出.

以该结构为基础,每8位一组,就能根据具体指令实现单指令两数据流或单指令四数据流.

此算法结构有两个特点:(1)算法实现中都需要

半字运算的次高位进位;(2)进位信号通过与操作数及多个指令信号的逻辑组合,控制模块的数据流向与选择.因此对 SIMD 加法器提出了两个要求:(1)能够产生半字运算的次高位进位;(2)进位链电路应该有足够大的驱动能力,并且能尽快地产生进位信号.理想情况下相差的时间为进位到最后选择信号之间的延时.

4 关键电路设计

4.1 16 位 SIMD 加法器

该 SIMD 加法器采用 Sparse-Tree 结构^[5],用有限动态电路^[6]设计,其结果和进位输出均为静态信号,电路结构如图5所示.在CM上采用每4位产生一个进位(Carry),而在求和部分则每4位共用一个进位信号来选择产生最后的 SUM 结果.为了实现8位的加法,在低8位的进位上加入了进位选择电路,以控制是执行16位加法还是两个独立的8位加法.为了配合改进算法,加法器增加了 C15out 的输出.

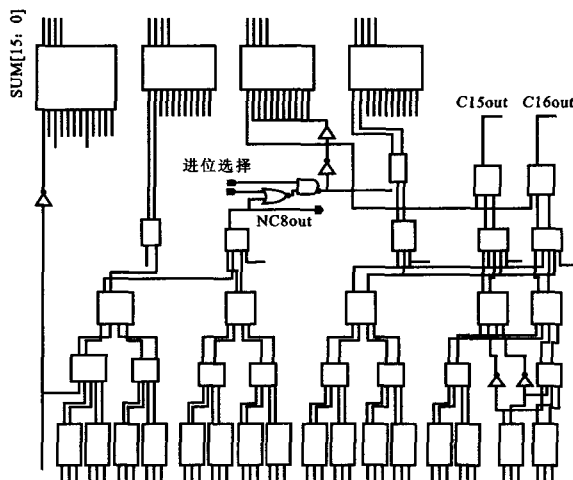


图5 16 位 SIMD 加法器的电路图

加法器的第一级是 P、G 产生. P 为进位传播逻辑, $P = A + B$; G 为进位产生逻辑, $G = A \cdot B$. 该级使用了 NTP 电路,即在普通动态电路的基础上,增加了一个弱的互补 PMOS 上拉网络,可以在延时和噪声容限之间折中.

为了优化求值延时, P、G 产生后的电路采用偏斜 CMOS 电路,使用了两种非对称的互补 CMOS 门: HI-CMOS 和 LO-CMOS. HI-CMOS 在预充时输出为低,求值时输出由低向高跳变. 为加快求值速度,使其上拉网络驱动能力远大于下拉网络. LO-CMOS 在求值时输出由高向低跳变,其下拉网络驱动能力远大于上拉网络.

在动态电路的最后插入一个 N-C²MOS 锁存器,把动态信号转化为静态信号.与纯动态电路相比,有限动态电路在保持高速运算的同时,可以有效降低功耗,提高电路稳定性.图 6 是有限动态电路的一般结构.

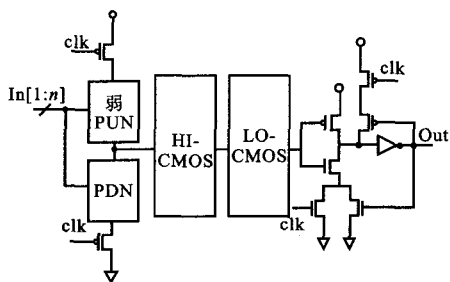


图 6 有限动态电路的一般结构

在设计中还采用了 Dual-V_t 技术:在关键进位路径上使用低阈值管,在非关键路径上使用普通阈值管,显著提高了电路的性能,又不会过多增加漏电流功耗.加法器版图在 0.13 μm 工艺下模拟结果显示,C15out 和 C16out 输出最长延时为 250ps,而结果输出最长延时为 380ps.模拟分析得知,进位到最后选择信号的产生为关键路径,通过优化该路径上晶体管尺寸和采用低阈值管,有效减少了关键路径的延时.

4.2 判相等模块

由于以动态电路实现大输入或门优势明显,按照有限动态电路设计方法,判相等模块以动态电路实现,最后用 N-C²MOS 将输出转换为静态信号,用于控制比较指令结果的产生.电路的第一级是动态异或门,第二级是无脚管的动态 8 输入或非门,图 7 是前两级电路结构.

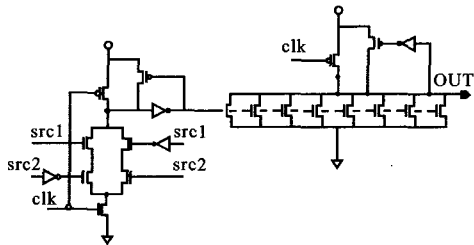


图 7 异或-或非电路

需要判 8 位数相等时,上面电路后接一个 N-C²MOS 反相器,即实现了 8 输入或的功能,得到静态的 8 位数相等信号(0 有效).需判 16 位数相等时,电路接 N-C²MOS 与非门,即实现了 16 输入或的功能,得到静态的 16 位数相等信号(0 有效).随后根据改进算法,把各比较指令与相应的进位信号和相等信号逻辑组合,最终得到 4 位的比较指令结果.

辑组合,最终得到 4 位的比较指令结果.

5 版图实现及后模拟

在版图布局上,把比较结果产生及附属逻辑安排在最下排,中间放置两个 SIMD 加法器,最上排是饱和结果选择和最终结果选择.图 8 是最终的版图,尺寸为 127 μm × 56 μm .采用 SPICE 和 Nanosim 工具,对带版图寄生参数的 SPF 网表进行模拟,得到版图后延时不超过 750ps.

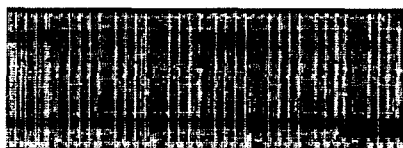


图 8 SIMD 模块的版图

6 结束语

本文针对 YHFT-DX 高性能 DSP 芯片中 SIMD 模块的设计要求,分析了 SIMD 指令的特点及算法,提出了新的并行算法及结构,采用有限动态电路设计的思想,实现了整个模块的电路及版图设计.通过版图后模拟验证了功能及时序正确性,整个 SIMD 模块版图后延时不超过 750ps,达到了设计要求.

参考文献:

- [1] 辛明瑞,高德远,佟凤辉. SIMD 技术在数字图像处理中的应用研究[J]. 微电子学与计算机,2004,21(11):164-168.
- [2] 赵冬晖,潘日华,池凤彬. 利用 SIMD 指令加速 VLSI 设计规则检查[J]. 微电子学与计算机,2008,25(7):68-71.
- [3] 周国昌,沈绪榜,王忠,等. 一种嵌入式 SIMD 协处理器地址产生器的设计[J]. 微电子学与计算机,2006,23(11):4-7.
- [4] 陈海兵,杨松华,吴耿峰. 专用 16 位定点 DSP 的 CPU 设计[J]. 微电子学与计算机,2004,21(1):16-18.
- [5] 李振涛. 高性能 DSP 关键电路及 EDA 技术研究[D]. 长沙:国防科技大学,2007.
- [6] Sanu Mathew. A 4 - GHz 130nm address generation unit with 32bit sparse tree adder core[J]. IEEE Journal of Solid - State Circuits, 2003,38(5):689-696.

作者简介:

郭 阳 男,博士,副研究员.研究方向为高性能微处理器设计与验证技术.

丁 伟 男,硕士研究生.研究方向为微电子与固体电子学.

李振涛 男,博士,助理研究员.研究方向为高性能微处理器电路设计与 EDA 设计等.